

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017052

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 23/12

H01L 23/14

H01L 23/52

H01L 25/04

H01L 25/18

(21)Application number : 09-166407

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.06.1997

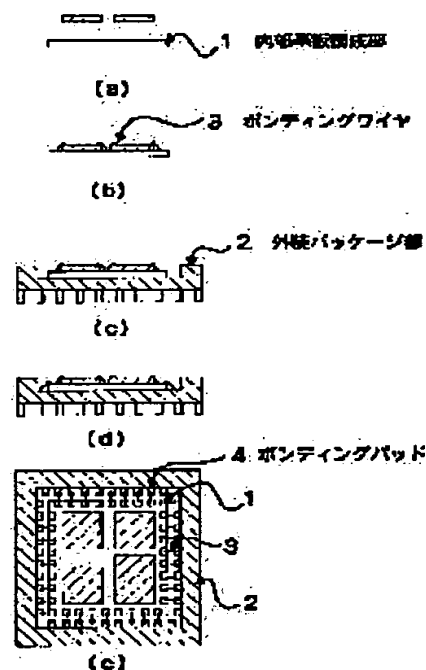
(72)Inventor : KOIDE JIRO

(54) METHOD FOR MOUNTING SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To mount two or more types of semiconductor integrated circuits in the same package at the same time by electrically connecting a first outer package part with a second inner board constituting part and permitting the second inner board constituting part to form a wiring part between a plurality of semiconductor integrated circuit chips.

SOLUTION: A bonding pad 4, i.e., a connecting means, is provided on the outer circumference of a second inner board constituting part 1, the bonding pad 4 is connected with a bonding pad aligned on a semiconductor integrated circuit chip by a bonding wire 3, and the second inner board constituting part 1 is integrated with a first outer package part 2. Then, the bonding pad 4 provided on the outer circumference of the second inner board constituting part 1 is connected with the bonding pad 4 provided on the first outer package part 2 by wire bonding and electrical connection is completed. Thus, two or more types of semiconductor integrated circuits are mounted in the same package at the same time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17052

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.*

識別記号

F I

H 0 1 L 23/12
23/14
23/52
25/04
25/18

H 0 1 L 23/12 H
23/14 S
23/52 D
25/04 Z

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平9-166407

(22) 出願日 平成9年(1997) 6月23日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小出 二郎

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

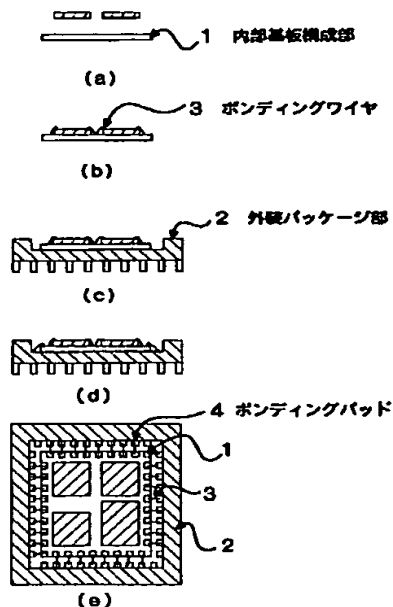
(54) 【発明の名称】 半導体集積回路の実装方法

(57) 【要約】

【課題】従来のマルチチップ実装方式では、個別システム毎の専用パッケージを必要とすること、またシステムの配線接続変更等が発生した場合の短納期対応が難しいことなどの課題を抱えていた。

【解決手段】マルチチップモジュールのパッケージは外装パッケージ部2、内部基板構成部1の二層から成る。外装パッケージ部2と内部基板構成部1とは内部基板構成部1外周に配置された接続手段により電気的接続がなされ、また内部基板構成部1は複数の半導体集積回路チップ間の配線部が形成されて成る。

【効果】実装変更の柔軟さ、実装時の操作性解消、最終形態のパッケージを共通化することによるコストダウン、実装する受動素子部品の低減等、が解決可能となる。



【特許請求の範囲】

【請求項1】少なくとも2種類以上の半導体集積回路を同一パッケージ内部に同時実装するマルチチップモジュール構成において、該マルチチップモジュールのパッケージは第1の外装パッケージ部、第2の内部基板構成部とから成り、前記第1の外装パッケージ部と前記第2の内部基板構成部とは前記第2の内部基板構成部外周に配置された接続手段により電氣的接続がなされ、また前記第2の内部基板構成部は複数の半導体集積回路チップ間の配線部が形成されて成ることを特徴とする半導体集積回路の実装方法。

【請求項2】請求項1記載の第2の内部基板構成部が、半導体技術の応用によるシリコン基板であって、金属多層配線を予め形成して成ることを特徴とする半導体集積回路の実装方法。

【請求項3】請求項1または請求項2記載の第2の内部基板構成部が、半導体技術の応用によるシリコン基板であって、金属多層配線、及びシステム構成上不可欠な抵抗素子、容量素子を予め形成して成ることを特徴とする半導体集積回路の実装方法。

【請求項4】請求項1乃至請求項3記載の第2の内部基板構成部は、焼結体（セラミック）により成ることを特徴とする半導体集積回路の実装方法。

【請求項5】請求項1乃至請求項4記載の第2の内部基板構成部が半導体技術の応用によるシリコン基板であって、金属多層配線を予め形成して成り、且つチップ実装部分に対し予めシリコン酸化膜のエッチング等を施すことにより凹部を形成し、集積回路チップの位置決め精度を高めたことを特徴とする半導体集積回路の実装方法。

【請求項6】請求項1乃至請求項5記載の前記第2の内部基板構成部には、搭載する半導体集積回路チップとのボンディングパッドが形成されており、前記第2の内部基板構成部と前記集積回路チップとが金ワイヤボンディングにより接続されて成ることを特徴とする半導体集積回路の実装方法。

【請求項7】請求項1乃至請求項6記載の前記第2の内部基板構成部には、搭載する半導体集積回路チップとのボンディングパッドが形成されており、且つ該ボンディングパッド部に予め半田パンプを形成し、前記第2の内部基板構成部と、前記半導体集積回路チップとが半田パンプを介して接続されることを特徴とする半導体集積回路の実装方法。

【請求項8】請求項1乃至請求項8記載の前記第2の内部基板構成部には、搭載する半導体集積回路チップとのボンディングパッドが形成されており、且つ該ボンディングパッド部に予め金パンプを形成し、前記第2の内部基板構成部と、前記半導体集積回路チップとが金パンプを介して接続されることを特徴とする半導体集積回路の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の高密度実装技術に関する。

【0002】

【従来の技術】半導体集積回路技術の進歩により、1チップに複数の論理機能、アナログ機能等を盛り込むことが可能となったが、それぞれの機能を有する半導体集積回路を全て同一シリコンチップ上に形成するにはまだまだ技術的な壁があるのが現状である。例えばダイナミックランダムアクセスメモリ（以下DRAMと呼ぶ）チップと、高速な論理機能の一チップ化や、高耐圧構造を必要とする特殊な駆動回路素子等は回路特性最適化の観点から、同時に1チップに納めることが難しい状況にある。

【0003】何故なら個々の回路が要求する素子特性条件が必ずしも一致しないためである。

【0004】これらの技術課題を回避しながら、且つ時代に則した機能提供をする動きとしてマルチチップモジュールと呼ばれる技術が発達してきた。

【0005】マルチチップモジュールは、所望のシステムを高密度に実装する手法として注目され、発達してきているが、納期、コスト、検査方法等様々な面で複雑な工程を要しており、単独チップのパッケージ実装と同等の量産レベルで対応することが難しい面を有している。

【0006】さてこれまでのマルチチップモジュールに関する技術動向を振り返ると、次のようなアプローチがされている。

【0007】（1）セラミック（焼結）材による多層基板形成技術と最終パッケージの構造を融合させることにより、システムを構成する複数チップをボンディングし、封入する。

【0008】（2）セラミック多層基板間接続部の電氣的特性を確保できるような多層配線方法の実現。

【0009】（3）モールド材による最終封止を安定に行うためのチップ配置の実現。

【0010】例えば公開番号H06244309号においては、上記項目（3）に該当するその代表的な例と言える。また、公開番号S58015264号、S58042263号は上記（1）、（2）に該当する技術事例であり、セラミック多層基板間の接続を容易にする技術として評価できるものである。上記（2）項特化した事例としては、公開番号S62015849号、S62015850号のように、基板材料と上層部に配置される金属配線層の性質を配慮した設計により、高周波特性に優れたマイクロストリップラインを形成し、伝送路特性インピーダンスを確保するというものが存在する。

【0011】

【発明が解決しようとする課題】以上述べて来たように、高密度実装技術としての位置付けは明確となってきたものの、一般技術としての普及にブレーキをかけ

ている“低コスト”、“量産性”の2点については何等改善が図られて来ていないといえる。

【0012】本発明はまさにこの点に着目したものであり、マルチチップ実装の優れた技術に、この量産性、コストメリットの2点を引き出すことにある。

【0013】

【課題を解決するための手段】本発明においては、少なくとも2種類以上の半導体集積回路を同一パッケージ内部に同時実装するマルチチップモジュール構成において、

(1) 該マルチチップモジュールのパッケージは第1の外装パッケージ部、第2の内部基板構成部とから成り、前記第1の外装パッケージ部と前記第2の内部基板構成部とは前記第2の内部基板構成部外周に配置された接続手段により電気的接続がなされ、また前記第2の内部基板構成部は複数の半導体集積回路チップ間の配線部が形成されて成ることを特徴とする半導体集積回路の実装方法。

【0014】(2) 前記記載の第2の内部基板構成部が、半導体技術の応用によるシリコン基板であって、金属多層配線を予め形成して成ることを特徴とする半導体回路の実装方法。

【0015】(3) 前記記載の第2の内部基板構成部が、半導体技術の応用によるシリコン基板であって、金属多層配線、及びシステム構成上不可欠な抵抗素子、容量素子を予め形成して成ることを特徴とする半導体集積回路の実装方法。

【0016】(4) 前記記載の第2の内部基板構成部は、焼結体(セラミック)により成ることを特徴とする半導体集積回路の実装方法。

【0017】(5) 前記記載の第2の内部基板構成部が半導体技術の応用によるシリコン基板であって、金属多層配線を予め形成して成り、且つチップ実装部分に対し予めシリコン酸化膜のエッチング等を施すことにより凹部を形成し、集積回路チップの位置決め精度を高めたことを特徴とする半導体集積回路の実装方法。

【0018】(6) 前記記載の第2の内部基板構成部には、搭載する半導体集積回路チップとのボンディングパッドが形成されており、前記第2の内部基板構成部と前記集積回路チップとが金ワイヤボンディングにより接続されて成ることを特徴とする半導体集積回路の実装方法。

【0019】(7) 前記記載の第2の内部基板構成部には、搭載する半導体集積回路チップとのボンディングパッドが形成されており、且つ該ボンディングパッド部に予め半田パンブを形成し、前記第2の内部基板構成部と、前記半導体集積チップとが半田パンブを介して接続されることを特徴とする半導体集積回路の実装方法。

【0020】(8) 前記記載の第2の内部基板構成部には、搭載する半導体集積回路チップとのボンディングパ

ッドが形成されており、且つ該ボンディングパッド部に予め金パンブを形成し、前記第2の内部基板構成部と、前記半導体集積チップとが金パンブを介して接続されることを特徴とする半導体集積回路の実装方法。

【0021】を採用することにより課題解決を図っている。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

10 【0023】図1は本発明を、ボンディング技術で実施する場合の具体的な組み立て工程の流れを示す。図中1は内部基板構成部、2は外装パッケージ部、3はボンディングワイヤ、4は、1の外装パッケージ部内部に配置されたボンディング用パッド部である。

【0024】図1(a)は、2の内部基板構成部と、実装を予定する半導体集積回路チップの実装前の状態を示す。

【0025】ここでは、2の内部基板構成部の所定の位置(集積回路チップの実装座標)に、半導体集積回路チップを位置決めし、配置させる工程となる。2の内部基板構成部がセラミック多層基板により構成される場合においては、実装予定の半導体集積回路チップは、銀ペースト等による通常のダイアタッチ(基板上に配置されたチップ配置エリア金メッキ部に対し、銀ペースト等を使用してチップを固定すること)工程により集積回路チップの位置決めと固定をすることが可能である。また1の内部基板構成部がシリコン基板であった場合には、半導体集積回路チップの固定は樹脂系接着剤等を利用することにより固定することになる。

30 【0026】図1(b)は1の内部基板構成部と、半導体集積チップとが位置決めされ、固定された状態を示す。ここで図中3は金ボンディングワイヤであり、1の内部基板構成部に設けられたボンディングパッドと、位置決め配置された半導体集積回路チップ上のボンディングパッド部とを、ボンディングワイヤにより接続した状態を示している。コストメリット等を考えた場合、ボンディングワイヤは金である必要はなく、アルミボンディングワイヤであってもよい。金ワイヤによるボンディングにおいては、超音波振動と同時にチップ全体の加熱が必要である。(集積回路チップ側に設けられているアルミパッド部において金-アルミの共晶を形成しやすくするため)またアルミボンディングワイヤを利用する場合にはボンダ装置のキャピラリ部の超音波振動をベースとしたボンディングが可能である。

【0027】図1(c)は図1(b)により実装された1の内部基板構成部と、2の外装パッケージ部の接着工程である。この工程により、1の内部基板構成部(実際の回路集積ブロック部分)が、外装パッケージ部分と一体化されることになる。

【0028】従来方法であれば多層基板技術により外

装パッケージ部に形成された基板へ、半導体集積回路チップ等を実装し、仕上げる工程となるが、本発明では、この図1(c)の工程を以て外装パッケージ部との一体化が図られることになる。

【0029】従って一見非合理的なイメージを有するが、このような基板を配置することにより、逆に2の外装パッケージ部を共通利用することが可能になる訳である。

【0030】図1(d)は、図1(c)の工程を経て一体化された1の内部基板構成部、2の外装パッケージ部の電気的接続の工程を示す。本実施例においてはボンディング技術をベースとした組立工程のため、ここでは1の内部基板構成部外周に設けられたボンディング用パッドと、2の外装パッケージに設けられたボンディング用パッドとを、先の図1(b)で説明した要領によってワイヤボンディングし、接続を完了する。

【0031】図1(e)は本発明の実装方式で実装完了後の、パッケージ上部からみた形状図を示す。1の内部基板構成部、2の外装パッケージ部とが図1(d)の工程でボンディングにより接続された状態が一望できる。尚図面の制約上、1の内部基板構成部と、実装された半導体集積回路チップ間のボンディングワイヤは省略している点に注意されたい。

【0032】図2はバンパ技術(チップ、あるいは基板接続部に金属の球を形成する技術)による本発明の具体的な組み立てフロー図を示す。図中1は内部構成基板部、2は外装パッケージ部、4はバンパ部を示す。

【0033】図2(a)は、1の内部基板構成部と、1の内部基板構成部に実装される予定の半導体集積回路チップとが固定される前の状態を示している。この図で特徴となるのは、1の内部基板構成部において、基板下部に4のバンパを形成している点と、実装予定の半導体集積回路チップ群のパッド部にも4のバンパを形成している点である。

【0034】図2(b)は、半導体集積回路チップ群が1の内部基板構成部に位置決めされ、配置された状態を示す。本発明におけるバンパ技術例では、半田(錫、鉛合金)、あるいは金をバンパ形成材料としている。

【0035】図2(c)は、2の外装パッケージ部と、1の内部基板構成部とを位置決めする工程を示している。この場合においても、図1の組み立てフローに触れたように、1の内部基板構成部裏面外周に設けられたバンパ配置と、2の外装パッケージ部に設けられたボンディング用パッドとにより1の内部基板構成部と、2の外装パッケージ部との電気的接続が図られるように設計されている。

【0036】従って本実施例においては、この工程において次のような対応をとることになる。

【0037】(1)バンパ材料が半田の場合・・・半田は通常180〜220℃の温度によって溶融するよう

に、錫と鉛の組成比調整されているため、図2(b)の工程、図2(c)の工程により予めチップと内部基板構成部とが位置決めされた時点で、プリント基板用半田リフロー炉を通過させることにより、図2(b)の工程、図2(c)の工程を同時に処理することが可能である。

【0038】(2)バンパ材料が金の場合・・・金を使用する場合には、予め1の内部基板構成部に配置されている半導体集積回路チップ接続用パッド部に、錫メッキを施しておく。その段階で図2(b)の工程で単独にギャグボンディング(多ピン同時ボンディングの技術：予め設けられたバンパ部を基板側に設けられた配線パッドに対し、一括して加熱加圧することにより、同時に接続を完了させる方法。治具類としては、チップ加圧側には専用の加熱加圧用コレットが必要となる)を実施し、まず1の内部基板構成部に対し、必要な半導体集積回路チップ群を一括処理によりボンディング固定する。ここでは、1の内部基板構成部パッド部に予め錫メッキを施してあるため、金-錫の共晶反応を利用して、低い温度ですばやくボンディングが完了する。

【0039】1の内部基板構成部と半導体集積回路チップとがボンディング固定された後、2の外装パッケージと1の内部基板構成部とを同様にギャグボンディングによって固定する。

【0040】さて図2(e)は、以上の工程を経て形成された後の、上部から見た形状図である。

【0041】図1(e)で見られた外周部ボンディングワイヤは、今回はバンパ技術により行われるため、1の内部基板構成部と、2の外装パッケージ部との間はボンディングワイヤは不要となることがわかる。基板固定するにあたっては、本実施例の方が優れるが、本実施例における1の内部基板構成部はセラミック多層基板に限られる。何故ならシリコン基板では、単結晶としての強度確保は可能だが、ギャグボンディングに必要なバンパ形成を基板裏面に配置する場合、裏面と表面との電気的配線に無理が生じるからである。

【0042】図3は、本発明の実施例において、内部基板構成部をシリコン基板により実現している場合の実施例を示す。図中1は内部基板構成部である。

【0043】図3(a)はシリコン基板により実現された1の内部基板構成部をチップ実装面側(上)から見た図である。図中A-Bの破線は断面説明する箇所を示す線である。

【0044】図3(b)は、図3(a)の具体的な構成例の、A-B断面から見た、内部基板構成部断面図である。図中1は内部基板構成部、5はバンパ部(半導体集積回路チップ側に形成されているバンパである)、6はシリコン基板上に形成されたSiO₂酸化膜(絶縁膜)、7は第1の金属配線層、8は層間絶縁膜(SiO₂)、9は表面保護用パッシベーション膜(不活性化膜)、10は半導体集積回路チップ(実装されるチップ)

ブ)である。

【0045】図3(b)に示すように本実施例ではシリコン基板を利用しているため、半導体集積回路技術に多用されるフォトリソ技術によって半導体集積回路チップ間配線を自由に配線することが可能である。

【0046】しかも、実際の工程では金属の多層配線工程の繰り返しで済むため、通常の半導体集積回路に起こりがちな下層素子部との干渉を意識することなく、自由自在に配線を形成することが可能である。

【0047】本実施例に示すように、シリコン基板を利用する場合には、フォトリソ技術による加工精度が配線間ピッチを決定することになるため、セラミック多層基板でネックとなるような微細配線パターンまで余裕をもって対応することが可能である。

【0048】また本実施例では、単純なチップ間配線部分しか示していないが、5の酸化膜形成後、多結晶シリコン膜を1工程設けることにより、多結晶シリコンによる抵抗素子形成や、多結晶シリコン2層を形成することによるキャパシタ形成等も可能である。

【0049】ただし下層シリコン基板部分へ、これらの素子形成エリアを設けた場合には、素子形成部分がチップ間金属配線のパターンに対し、制約を生じることになる点は否定できない。

【0050】また、半導体技術は万能ではなく、上記説明のような多結晶ポリシリコン膜による抵抗素子形成の場合、シート抵抗で $20\Omega/\square$ (正方形単位で規格化した抵抗値)~ $80\Omega/\square$ 程度の抵抗目安を以て実現可能な抵抗値範囲に限られることになる。

【0051】5のシリコン酸化膜よりも下に位置するシリコン単結晶基板部分を用いた拡散層による抵抗も、多結晶シリコンによる抵抗範囲と同等の目安で考える必要がある。

【0052】さて本実施例では、1の内部基板構成部に対し、実装される10の半導体集積回路チップを想定した位置に6、8、9の各絶縁膜を一部エッチングし、凹部を形成している。

【0053】この凹部は10の半導体集積回路チップを位置決めするための工夫である。

【0054】本実施例では10の半導体集積回路チップ位置決めエリアにおける6のシリコン酸化膜厚さを5500オングストローム($\lambda=550\text{nm}$)としている。この理由は可視光線の緑の波長と一致させることにより、シリコン基板からの反射光が緑色を強める形で干渉を起こし、内部基板構成部に配置されたこの集積回路チップ搭載位置が目視により容易に確認できるためである。当然のことながら視感度曲線で認識しやすい酸化膜厚範囲で任意に設定することが可能である。

【0055】このような配慮が無い場合は、シリコン基板面に設定された凹部は透明(SiO_2 、自身は色が無いため)となり、別の位置決め確認手段(例えば段差によ

る干渉を利用した微分干渉顕微鏡など)が必要となる。本実施例のような実施をすれば、非常に容易な位置決め方法を実現することが可能となる訳である。

【0056】

【発明の効果】本発明によれば、次のような効果享受できる。

【0057】(1)第1の外装パッケージ部、第2の内部基板構成部を用意することによって、これまで高額のコスト発生を伴っていた第1の外装パッケージ部分を共通使用できるようになる。従来手法では、システムの仕様変更される都度、外装パッケージと一体成形されるセラミック多層配線層までの変更を余儀なくされることから、この部分における設計工数や日程の確保等、開発コスト増は避けられなかった。本発明によれば、仮にシステム構成変更が生じても第2の内部基板構成部において変更内容を吸収できることから、柔軟性を飛躍的に高めることが可能となる。

【0058】(2)実施例の中で触れたように、第2の内部基板構成部分をシリコン基板により実現すれば、実装対象となる複数の半導体チップとの熱膨張係数が完全に等しくなることから、チップ実装後の熱応力による特性劣化等を生じなくなる。

【0059】(3)同時に第2の内部基板構成部分をシリコン基板で構成する場合には、抵抗、容量等の実装部品の一部を配線基板側に形成することが可能となる為、半導体集積回路チップ以外に必要な受動素子実装部品点数を大幅に削減することが可能である。場合によっては、シリコン基板上への素子形成で完全に外付け部品を省略することも期待できる。

【0060】(4)第2の内部基板構成部を半導体シリコン基板で形成する際のさらなるメリットとしては、半導体エッチング工程を利用し、複数のチップ実装場所に凹面を形成することによる実装時位置決めマーキングが容易となる点である。特に、くぼみ部分の酸化膜厚を可視光の一波長長さにあわせることにより、シリコン基板上では色により識別が可能となる。従って矩形に切り出された基板上へ半導体チップを配置させる部分についても、画像認識技術などにより、位置認識をさせやすくなるというメリットが出る。

【0061】また第2の内部基板構成部に形成する金属多層配線は、半導体プロセスで使用するフォトリソ技術を適用できるため、実装される複数のチップ間配線密度を飛躍的に高めることが可能である。高密度な基板配線は、必ずしも優れた電気的特性を保証するものではないが、電気信号間の相互干渉が厳しくないようなシステムであり、かつ配線本数を確保したいような要求に関しては、実装用基板スペースの増加を招くことなく実装することができる。

【0062】(5)第2の内部基板構成部をセラミックにより形成する場合、第1の外装パッケージと分離した

焼結工程として扱うことが可能となり、設計段階での段取り性が向上する。またセラミック基板の放熱特性を最大限に活かすことができ、発熱の大きな半導体チップを実装する場合には、この材料を選択することで、マルチチップ実装品の信頼性が高められる。

【0063】(6)第2の内部基板構成部に対し、半田バンプ(パッド上に形成された半田突起物)を形成した集積回路を実装する場合、プリント基板組み立て工程で普及している半田リフロー処理を利用することが可能である。これは特殊な治具を必要とせず、かつ既存の組み

立て工場に対応できることになり、その応用のしやすさが明白である。
【0064】以上述べてきたように、本発明を活用することにより、初期の課題を容易に回避するにとどまらず、その波及効果は大きいといえる。

*【図面の簡単な説明】

【図1】ボンディング組み立てフロー図。

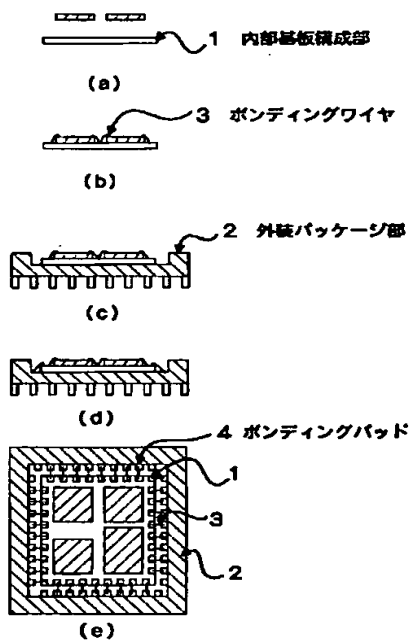
【図2】バンプによる組み立てフロー図。

【図3】シリコン基板による実施例を示す図。

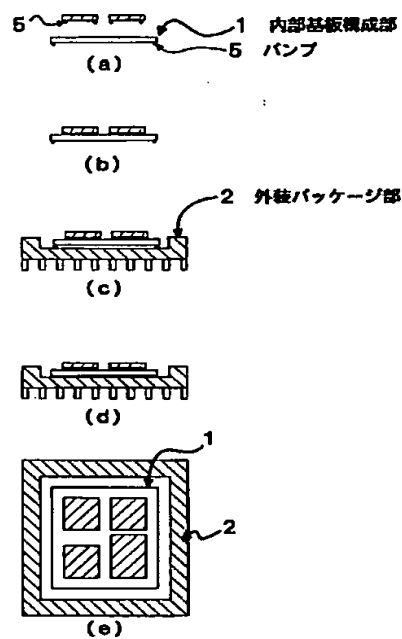
【符号の説明】

- 1・・・内部基板構成部
- 2・・・外装パッケージ部
- 3・・・ボンディングワイヤ
- 4・・・ボンディングパッド
- 5・・・バンプ
- 6・・・シリコン酸化膜
- 7・・・第一の金属配線層
- 8・・・層間絶縁膜
- 9・・・パッシベーション(不活性化)膜
- 10・・・半導体集積回路チップ

【図1】



【図2】



【図3】

